

Japanese Publication for Unexamined Utility Model
Application

No. 33020/1995 (Jitsukaihei 7-33020)

A. Relevance of the Above-identified Document

This document just relates to the background of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIM]

[Claim 1]

A burst signal detection circuit, comprising:

a first peak hold circuit for holding a carrier wave of a burst signal, and a peak voltage of a noise that is superposed in the signal;

a second peak hold circuit for detecting a noise level of the signal that is held by said first peak hold circuit;

a level shift circuit for adding a direct current voltage in the burst signal so as to shift its level;

a half-wave rectification circuit for receiving an output voltage of said second peak hold circuit and an output voltage of said level shift circuit, and for removing a noise component, and for rectify only a signal component;

a differentiation-integration circuit for

THIS PAGE BLANK (USPTO)

detecting a wavelength component of the signal that has been subjected to the half-wave rectification and for converting the wavelength component into a sawtooth-shaped wave;

a peak detection circuit for comparing the signal, which has been converted into the sawtooth-shaped wave, with a reference voltage, so as to perform peak detection; and

a waveform shaping circuit for performing waveform shaping of the signal that has been subjected to the peak detection.

[EMBODIMENTS]

[0022]

The carrier wave of the burst signal and the peak voltage of the noise that is superposed in the signal, are held by a first peak hold circuit 2 that is provided with a transistor Q1, a condenser C1, and a constant current source 10. A second peak hold circuit 3, provided with a Gm amplifier 11, a condenser C2, and a differential amplifier 12, detects a noise level from the held signal. Moreover, a level shift circuit 4, which is provided with a transistor Q2, and a constant current source 14, adds a direct current voltage into the burst signal for carrying out level shifting.

THIS PAGE BLANK (USPTO)

[0023]

Then, a half-wave rectification circuit 5, which is constituted with a differential amplifier 13, receives an output signal of the peak hold circuit 3 and an output signal, whose level is shifted by the level shift circuit 4, so as to remove a noise component, so as to rectify and output only a signal component.

[0026]

As to the peak hold circuit 2, a conventional circuit, in which an emitter of an npn transistor is connected with a condenser so as to perform diode switching operation, has such a drawback that a feeble leak current flows out from the condenser, when there is an inverted bias between the base and emitter.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平7-33020

(43)公開日 平成7年(1995)6月16日

(51)IntCl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 D 1/10	A	4239-5J		
H 0 4 B 1/10	A	9298-5K		

審査請求 未請求 請求項の数1 F D (全 2 頁)

(21)出願番号 実願平5-67929

(22)出願日 平成5年(1993)11月29日

(71)出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72)考案者 平賀 公久

埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(72)考案者 辻川 利明

埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(72)考案者 酒井 元次

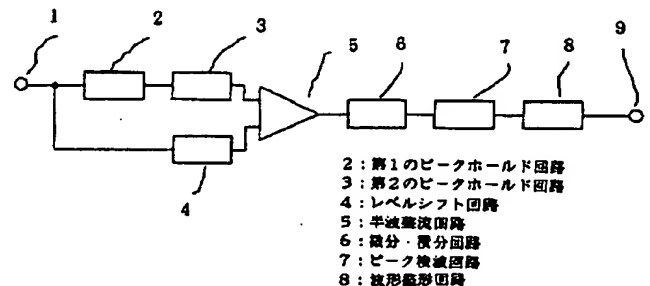
埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(54)【考案の名称】 パースト信号検波回路

(57)【要約】

【目的】 外付け部品をなくし、正弦波の搬送波でもデューティ50%以外の方波の搬送波でも、パルス幅歪を発生させないようにする。

【構成】 パースト信号に重畳されているノイズのピーク電圧を保持し、ノイズレベルを検出する第1、第2のピークホールド回路の出力信号と、該パースト信号をレベル変換した信号を半波整流回路に入力し、ノイズ成分を除去後、半波整流を行ない、微分・積分回路にて周波数成分を検出し、鋸波に変換し、ピーク検波回路にてピーク検波を行ない、波形整形回路を通して出力する構成とした。



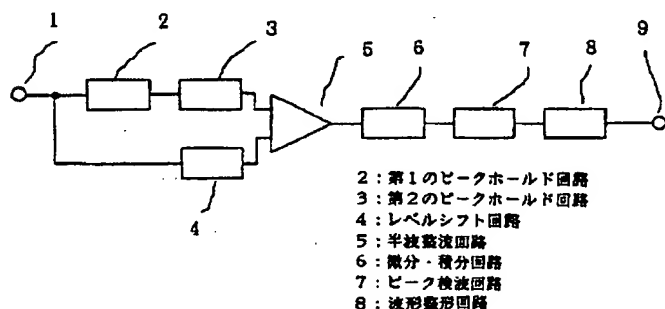
【実用新案登録請求の範囲】

【請求項1】 バースト信号の搬送波と、その信号に重畳されているノイズのピーク電圧を保持する第1のピークホールド回路と、該第1のピークホールド回路にて保持された信号のノイズレベルを検出する第2のピークホールド回路と、該バースト信号に直流電圧を加えてレベル変換するレベルシフト回路と、該第2のピークホールド回路の出力電圧と、該レベルシフト回路の出力電圧を入力して、ノイズ成分を除去し、信号成分のみを半波整流する半波整流回路と、該半波整流された信号の周波数成分を検出し、鋸波に変換する微分・積分回路と、該鋸波に変換した信号を基準電圧と比較してピーク検波を行なうピーク検波回路と、該ピーク検波された信号を波形整形する波形整形回路とからなることを特徴とするバースト信号検波回路。

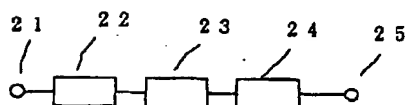
【図面の簡単な説明】

【図1】 本考案のバースト信号検波回路のブロック図で

【図1】



【図3】



ある。

【図2】 本考案における一実施例を示した回路図である。

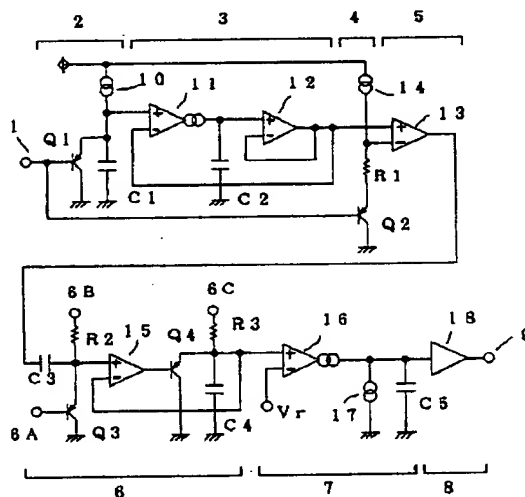
【図3】 従来のバースト信号検波回路のブロック図である。

【図4】 従来のバースト信号検波回路の回路図である。

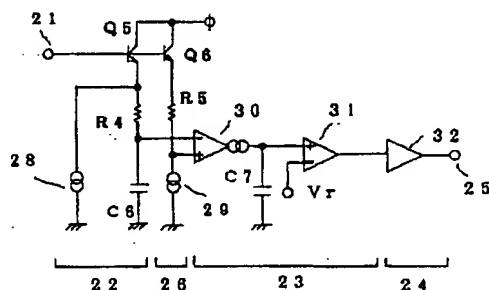
【符合の説明】

- 1、入力端子
- 2、第1のピークホールド回路
- 3、第2のピークホールド回路
- 4、レベルシフト回路
- 5、半波整流回路
- 6、微分・積分回路
- 7、ピーク検波回路
- 8、波形整形回路
- 9、出力端子

【図2】



【図4】



(3)

【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は、バースト信号を非同期で検波を行なうバースト信号検波回路に係わり、特に半導体集積回路で構成する時に外付け部品を不要とし、かつ、パルス幅歪による誤動作を発生させないようにしたバースト信号検波回路に関する。

【0002】

【従来の技術】

図3に従来のバースト信号検波回路のブロック図を示す。又、図4にこの種の具体的な回路図を示す。図において、21は入力端子、22は半波整流回路、23はピーク波検波回路、24は波形整形回路、25は出力端子である。

【0003】

入力端子21に入力されたバースト信号を半波整流回路22で半波整流を行ない、ピーク検波回路23によってピーク検波をした後、ヒステリシス特性を有するコンパレータからなる波形整形回路24にて波形整形を行ない、出力端子25より検波信号を出力するものである。

【0004】

図4の回路図にて詳しく説明する。バースト信号が入力端子21に印加されると、トランジスタQ5、Q6によって、バースト信号が2経路に分岐される。ここで、トランジスタQ5、抵抗R4、コンデンサC6、定電流源28で半波整流回路22を、トランジスタQ6、抵抗R5、定電流源29で直流バイアス回路26を構成している。また、トランジスタQ5はエミッタに抵抗R4を介してコンデンサC6を接続したダイオードスイッチとして動作する。そしてトランジスタQ5のエミッタから出力された信号は、抵抗R4、コンデンサC6からなる積分器で平滑される。

【0005】

半波整流回路22の吐き出し側ドライブ能力はトランジスタQ5のエミッタホロワで行なうので、コンデンサC6を十分にドライブできるが、吸い込み側のドライブ能力は定電流源28にて決定される。この定電流源28の電流値を小さく

設定しておき、コンデンサC6からの放電電流を少なくすることでピークホールド動作を行なわせている。

【0006】

この回路は、初期状態において、コンデンサC6に発生する電圧 V_c は入力電圧 V_i のバイアス電圧と同電位となる。そして、入力端子21にバースト信号が入力され、ある時間が経過したとすると、初期状態のバイアス電圧より高い信号は、トランジスタQ5のエミッタに表われる。しかし低い信号はコンデンサC6で保持されている電圧のため、トランジスタQ5はオフとなり、トランジスタQ5のエミッタに信号は表われない。このときコンデンサC6の電圧 V_c は定電流源28による放電電流と抵抗R4の電圧降下分だけ高くなる。

【0007】

また、トランジスタQ6のエミッタから出力された信号は、抵抗R5と定電流源29による電圧降下で直流バイアス電圧をトランジスタQ5のバイアス電圧より下げている。この2つの信号をGmアンプ30 (VCCS: Voltage Control Current Source) の入力に加えると、反転入力端子より非反転入力端子が大きいとき、その大きさに比例した差分の電流出力を出力する。

【0008】

このGmアンプ30より出力される電流出力と、コンデンサC7、コンパレータ31により、ピーク検波を行ない、コンパレータ31の出力をヒステリシス特性を有しているコンパレータ32で波形整形を行ない、出力端子25より検波信号を出力する。

【0009】

【考案が解決しようとする課題】

半波整流する電圧は、バースト信号の搬送波がない部分にノイズが重畳されていてもノイズに追従して信号成分だけを出力する構成となっている。この場合、コンデンサC6、抵抗R4よりなる積分器にて平滑した電圧をバースト信号より発生し、かつ、バースト信号の直流バイアス電圧を抵抗R5、定電流源29の電圧降下分だけ元の信号より下げることで行なっている。

【0010】

(5)

通常、赤外線リモコン送信器より送信されるバースト信号の使用条件は、搬送波 $f_o = 30 \sim 40 \text{ KHz}$ 、信号周期 $T_s = 0.6 \sim 2.0 \text{ mS}$ である。

【0011】

ここで、信号周期で発生する基準電圧変動分 $dV_1 = 0.01 \text{ V}$ 、信号周期 $T_s = 1.0 \text{ mS}$ 、入力信号の最大振幅 $V_s = 1.0 \text{ V}$ 、抵抗 R_4 の抵抗値 $R_4 = 10 \text{ K}\Omega$ として、積分器のカットオフ周波数 f_c 、およびコンデンサ C_6 の容量値を求めてみる。

【0012】

まず、入力信号として平滑された電圧の減衰利得は、

$$dV_1 / V_s = 0.01 / 1.0 = 0.01 \quad \dots (1)$$

$$= -40 \text{ dB} \quad \dots (2)$$

となる。この積分器は1次CR積分回路であるため、 -20 dB/DEC で減衰する。

【0013】

従って、積分器のカットオフ周波数 f_c は、信号周波数 f_s より2デケード下がった周波数となるため、カットオフ周波数 $f_c = 10 \text{ Hz}$ となる。

【0014】

そして、積分器の抵抗 R_4 の抵抗値 $R_4 = 10 \text{ K}\Omega$ として、コンデンサ C_6 の容量値を求めると、

$$C_6 = 1 / (2\pi \cdot f_c \cdot R_4) \quad \dots (3)$$

$$= 1.6 \mu\text{F} \quad \dots (4)$$

となる。上記の容量値を半導体集積回路内で作り込むことは不可能であり、コンデンサは外付けをしなければならない。

【0015】

また、バースト信号の搬送波 f_o が無い部分にノイズが重畳された場合、ピーク検波回路にはそのノイズ成分を伝えないため、半波整流回路にて平滑した電圧はノイズ量に追随し、かつ、元信号の直流バイアス電圧を下げることで、誤動作を防止している。

【0016】

しかし、この構成では、入力信号の搬送波が方形波でデューティ＝50%とすると、G_mアンプからの出力電流も50%となるが、正弦波の場合には積分器の出力が元信号の直流バイアス電圧よりずれると、G_mアンプの出力電流はデューティ＝50%よりずれた値となる。

【0017】

ピーク検波は、G_mアンプの出力電流と、コンデンサの昇圧値であるため、コンパレータの基準電圧までの昇圧時間が変動し、コンパレータの出力パルス幅は、元信号に対して、忠実に再現できなくなり、パルス幅歪により誤動作することがある。

【0018】

本考案の目的は、必要なコンデンサや抵抗を半導体集積回路内に作り込むことを可能とし、更に、正弦波の搬送波でも、デューティ＝50%以外の方形波の搬送波でも、検波回路の出力にパルス幅歪を発生させないバースト信号検波回路を提供することである。

【0019】

【課題を解決するための手段】

本考案の回路は、バースト信号の搬送波と、その信号に重畳されているノイズのピーク電圧を保持する第1のピークホールド回路と、該第1のピークホールド回路にて保持された信号のノイズレベルを検出する第2のピークホールド回路と、該バースト信号に直流電圧を加えてレベル変換するレベルシフト回路と、該第2のピークホールド回路の出力電圧と、該レベルシフト回路の出力信号を入力して、ノイズの成分を除去し、信号成分のみを半波整流する半波整流回路と、該半波整流された信号の周波数成分を検出し、鋸波に変換する微分・積分回路と、該鋸波に変換した信号を基準電圧と比較してピーク検波を行なうピーク検波回路と、該ピーク検波された信号を波形整形する波形整形回路とからなる構成としたものである。

【0020】

【作用】

このような構成にすることによって、大きな値の等価抵抗を得ることができ、

(7)

必要なカットオフ周波数を決めるためのコンデンサや他の素子も含めて、半導体集積回路内に作り込むことができる。又、搬送波が正弦波の場合もパルス幅歪を起こさないようにすることができる。

【0021】

【実施例】

図1に本考案のブロック図を示す。また、図2に本考案における具体的な回路の一実施例を示す。図において、1は入力端子、2は第1のピークホールド回路、3は第2のピークホールド回路、4はレベルシフト回路、5は半波整流回路、6は微分・積分回路、7はピーク検波回路、8は波形整形回路、9は出力端子である。

【0022】

バースト信号の搬送波と、その信号に重畳されているノイズのピーク電圧をトランジスタQ1、コンデンサC1、定電流源10よりなる第1のピークホールド回路2にて保持する。この保持された信号をGmアンプ11、コンデンサC2、差動増幅器12からなる第2のピークホールド回路3によって、ノイズレベルを検出する。また、トランジスタQ2、定電流源14よりなるレベルシフト回路4によってバースト信号に直流電圧を加えてレベル変換を行なう。

【0023】

そして、ピークホールド回路3の出力信号と、レベルシフト回路4によってレベル変換された出力信号を差動増幅器13よりなる半波整流回路5に入力し、ノイズ成分を除去し、信号成分のみを半波整流して出力する。

【0024】

半波整流された信号は、抵抗R1、コンデンサC1の微分回路と、電圧クランプするためのトランジスタQ3によって、周波数成分を検出し、抵抗R3、コンデンサC4の積分回路と、トランジスタQ4、差動増幅器15によって、鋸波に変換される。トランジスタQ5のベースに接続した端子6Aと、抵抗R2の一端に接続した端子6Bに加える電圧でクランプすることにより、デューティ=50%以外の方波でも、正弦波でも微分回路にて波形の周波数成分を検出できる。この微分回路と積分回路、トランジスタQ3、Q4、増幅器15により微分・積

分回路を構成している。

【0025】

鋸波に変換された信号は、G_mアンプ16、コンデンサC5、定電流源17からなるピーク検波回路によりピーク検波を行なう。そして、ピーク検波された信号をヒステリシス特性を有するコンパレータ18からなる波形整形回路8にて波形整形をして、出力端子9よりデジタル信号として出力するものである。

【0026】

ピークホールド回路2において、npnトランジスタのエミッタにコンデンサを接続し、ダイオードスイッチ動作をさせている従来の回路では、ベース・エミッタ間が逆バイアスになるときコンデンサから微小のリーク電流が流れる不具合が生じるため、本考案では、トランジスタQ1にpnpトランジスタを用いている。

【0027】

このピークホールド回路2は、バースト信号と信号に重畳されているノイズ成分の下限ピーク電圧を保持している。そして、入力信号が中点電位より、低い場合はコンデンサC1より電荷を放電し、高い場合はトランジスタQ1がオフするので、コンデンサC1により電位を保持する。

【0028】

例えば、搬送波周波数 $f_o = 40\text{ KHz}$ 、コンデンサC1の容量値 $C1 = 20\text{ pF}$ 、放電時のドロップ電圧 $dV2 = 10\text{ mV}$ 、として充電電流I1を求めると

$$I1 = C1 \cdot dV2 \cdot f_o \quad \dots (5)$$

$$8\text{ nA} \quad \dots (6)$$

となる。この充電電流I1はG_mアンプ11の入力バイアス電流を用いることにより可能であり、信号波形の下限ピークを保持できる。

【0029】

G_mアンプ11、コンデンサC2、差動増幅器2によりなるピークホールド回路3では、信号のノイズレベルを検出し、また、ノイズ量が時間的に変化しても、それに追従できるようになっている。

(9)

【0030】

G_mアンプ11のトランスコンダクタンスをG_{m1}とすると、

$$(V_3 - V_4) \cdot G_{m1} = I_1 \quad \dots (7)$$

$$V_{c2} = I_1 / S C_2 \quad \dots (8)$$

$$V_{c2} = V_4 \quad \dots (9)$$

$$\therefore V_4 = 1 / (S C_2 / G_{m1}) + 1 \quad \dots (10)$$

ここで、V₃はG_mアンプ11の非反転入力端子に発生する電圧、V₄は差動増幅器12の出力電圧であり、S = jωとする。

【0031】

上式より、1次CR積分回路の等価抵抗は、1/G_{m1}となる。従来技術で述べたようにdV₁=0.01V、T_s=1.0mS、V_s=1.0Vの条件での減衰利得は-40dBVであり、1次CR積分回路では、-20dB/DECで減衰し、積分回路のカットオフ周波数f_c=10Hzである。

【0032】

積分回路のコンデンサCの容量値C₂=20pFとしたときに、必要な等価抵抗は次のようになる。

$$1/G_{m1} = 1 / (2\pi \cdot f_c \cdot C_2) \quad \dots (11)$$

$$= 796 M\Omega \quad \dots (12)$$

$$G_{m1} = 1.26 n mho \quad \dots (13)$$

【0033】

このトランスコンダクタンスG_{m1}は、差動増幅器12によって実現できる。差動増幅器12のトランスコンダクタンスg_mは、π形等価回路において、I_{EE}/V_Tとおくと、

$$G_{m1} = I_{EE} / V_T \cdot 1 / \beta_p \quad \dots (14)$$

となる。ここで、I_{EE}は差動増幅器12の反転、非反転入力端子に接続されている差動トランジスタに流す定電流、V_Tはサーマル電圧であり、周囲温度はT_a=25℃のとき、V_T=26mVである。

【0034】

トランジスタの増幅率β_p=100とすると、上式より、必要なエミッタ電流

(10)

I_{EE} は、

$$I_{EE} = 3.3 \text{ nA} \quad \dots (15)$$

である。3.3 nA程度のコレクタ電流であれば、トランジスタの $h_{fe} \cdot I_c$ 特性において、十分な電流増幅率が得られるため、エミッタ電流 I_{EE} もカレントミラー回路にて実現できる。

【0035】

【考案の効果】

以上説明したように、半導体集積回路内に、コンデンサや抵抗等の素子を作り込み、外付け部品をなくすることが可能となる。また、搬送波の波形が方形波のみでなく、正弦波でも、パルス幅歪を発生しないという利点がある。